

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

MENU

SEARCH

INDEX

BACK

3/3



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09034586

(43)Date of publication of application: 07.02.1997

(51)Int.Cl.

G06F 1/10
H03K 3/02
H03K 19/00

(21)Application number: 07185295

(71)Applicant:

HITACHI LTD

(22)Date of filing: 21.07.1995

(72)Inventor:

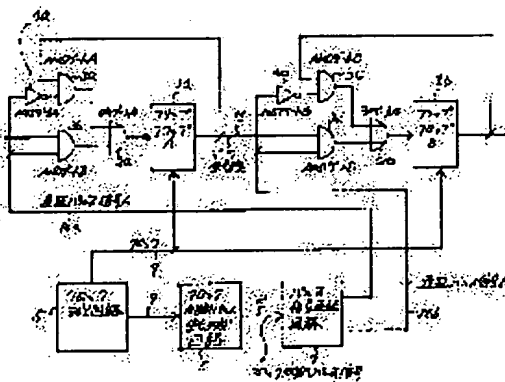
INOUE IKURO
TANAKA YOICHI

(54) INTER FLIP-FLOP SIGNAL TRANSFER DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable an LSI performing signal transfer between flip-flops by synchronizing with a clock of one phase to make an inter flip-flop signal transfer cycle variable by adjusting the timing when a transferred signal is inputted to a flip flop and to design an LSI without taking inter flip-flop minimum signal delay time into consideration.

SOLUTION: A signal to be transferred from a flip flop A1a to a flip flop B1b is inputted to the flip flop B1b via an AND gate 3d and an OR gate B2b when the delay pulse signal B10b obtained by being generated in a clock synchronizing pulse signal generation circuit 6 and being delayed in a pulse signal delay circuit 7 is turned on. When the delay pulse signal B10b is turned off, the output of the flip flop B2b is inputted again to the flip flop B1b via an AND gate C3c and the OR gate B2b.



LEGAL STATUS

AG

THIS PAGE BLANK (USPTO)

ANK (USPTO)

BEST AVAILABLE COPY

(18) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-34586

(43) 公開日 平成9年(1997) 2月7日

(51) Int. Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所	
G 0 6 F	1/10		G 0 6 F	1/04	3 3 0 Z
H 0 3 K	3/02		H 0 3 K	3/02	J
	19/00			19/00	C

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21) 出願番号 特願平7-185295

(22) 出願日 平成7年(1995) 7月21日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 井上 郁朗

神奈川県海老名市下今泉810番地株式会社

日立製作所オフィスシステム事業部内

(72) 発明者 田中 洋一

神奈川県海老名市下今泉810番地株式会社

日立製作所オフィスシステム事業部内

(74) 代理人 弁理士 小川 勝男

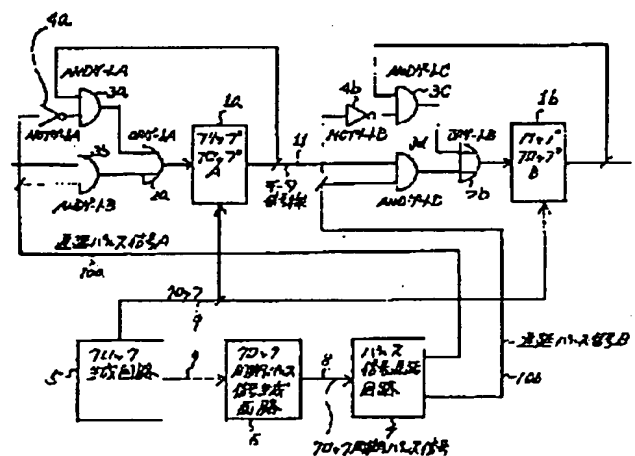
(54) 【発明の名称】 フリップフロップ間信号転送装置

(57) 【要約】

【目的】本発明は、1相のクロックに同期してフリップフロップ間信号転送を行うLSIにおいて、転送した信号をフリップフロップに入力するタイミングを調整するようにして、フリップフロップ間の信号転送サイクルを可変にすることを可能とするとともに、フリップフロップ間の最小信号遅延時間を考慮することなくLSI設計を行うことを可能とする。

【構成】フリップフロップA1aからフリップフロップB1bへ転送する信号は、クロック同期パルス信号生成回路6において生成され、パルス信号遅延回路7で遅延させることにより得た遅延パルス信号B10bがオンした時にANDゲートD3d、ORゲートB2bを経てフリップフロップB1bに入力される。遅延パルス信号B10bがオフした時にはフリップフロップB2bの出力がANDゲートC3c、ORゲートB2bを経て再びフリップフロップB1bに入力される。

図 1



1

【特許請求の範囲】

【請求項1】第1のフリップフロップから第2のフリップフロップへ信号を転送する時に、前記第1のフリップフロップ及び前記第2のフリップフロップの内部状態を同相のクロックに同期して変化させるフリップフロップ間信号転送装置であって、

前記クロックに同期した1マシンサイクル時間のパルス信号を第3のフリップフロップの出力として生成する手段と、該パルス信号を複数の整数倍したマシンサイクル時間遅延させることにより得る複数のパルス信号を、前記第1または第2のフリップフロップと第3のフリップフロップとのクロックスキュー時間の大きい方の値と前記第1または第2のフリップフロップのデータホールド時間の大きい方の値とを加えた時間よりも大きく、かつ前記クロックスキュー時間の大きい方の値と第1または第2のフリップフロップのデータセットアップ時間の大きい方の値とを加えた時間を1マシンサイクル時間から差し引いた時間よりも小さく遅延させる手段と、該遅延させた複数のパルス信号の中の第1のパルス信号がオンした時に前記第1のフリップフロップの内部状態を変化させ、オフした時には変化させないようにし、該第1のパルス信号に対して複数マシンサイクル時間位相が遅れてオン状態となる第2のパルス信号がオンした時に、第2のフリップフロップの内部状態を変化させ、オフした時には変化させないようにすることにより、第1のフリップフロップから第2のフリップフロップへの信号転送を、該第1のクロックと第2のクロックとの位相差分のマシンサイクル時間で行うことを可能とする手段とを備え、第3のフリップフロップをLSIチップの中の固定した実装位置に配置することで、第3のフリップフロップと第1、第2のフリップフロップとのクロックスキュー時間の最大値および前記パルス信号に必要な信号遅延時間をLSI設計前に予測し、該信号遅延時間をLSI設計時に保証することを特徴とするフリップフロップ間信号転送装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、LSI内におけるフリップフロップ間の信号転送に関する。

【0002】

【従来の技術】従来、LSI内において第1のフリップフロップから第2のフリップフロップへの信号転送を行う方法には、1相のクロックだけを使用し、第1、第2のフリップフロップの内部状態を同相のクロックで変化させる方法と、多相のクロックを使用し、第1、第2のフリップフロップの内部状態を時間のずれた別相のクロックで変化させる方法とがある。1相のクロックに同期した信号転送および多相クロックに同期した信号転送のいずれにおいても、第1のフリップフロップから第2のフリップフロップに到達するまでの信号転送遅延時間

2

が、第1のフリップフロップと第2のフリップフロップとのクロックスキュー時間と第2のフリップフロップのデータセットアップ時間とを加えた時間を信号転送サイクル時間から差し引いた時間である最大遅延限界時間より小さくなることを保証するように設計する必要がある。この最大遅延限界時間を保証するためには、フリップフロップ間の論理ゲート段数を制限することが必要である。もし、フリップフロップ間の信号転送遅延時間が最大遅延限界時間より大きくなる場合には、複数マシンサイクル転送を行うための論理を別に追加しなければならない。また、1相のクロックに同期して信号転送を行う場合には、第1のフリップフロップから第2のフリップフロップに到達するまでの信号転送遅延時間が、第1のフリップフロップと第2のフリップフロップとのクロックスキュー時間と第2のフリップフロップのデータホールド時間とを加えた時間である最小遅延限界時間より大きくなることを保証するように設計する必要がある。最小遅延限界時間を保証する方法としては、フリップフロップ間の信号転送を行う全てのパスにおいて、温度のばらつき、製造のばらつき、LSIに供給される電圧のばらつきを考慮した上での最小信号遅延時間を算出し、各パスにおける最小信号遅延時間が最小遅延限界時間より大きいかな否かを調べ、最小信号遅延時間が最小遅延限界時間以下であるパスに対しては遅延ゲート等を追加することにより信号を遅らせる方法をとっている。

【0003】

【発明が解決しようとする課題】上述した従来の技術において、多相クロックを使ったLSI設計では、クロック分配経路が1相クロックを使った時の経路に比べて複雑になり、クロック配線長も異なる相間で違ってくるので、各相のクロック間のクロックスキュー時間が大きくなる。一方、1相クロックを使ったLSI設計では、フリップフロップ間の信号転送遅延時間が前記最小遅延限界時間より大きく、かつ最大遅延限界時間より小さくなるように考慮しなければならないため、LSI設計をする上で大きな制約となる。また、LSI設計においてフリップフロップ間の最小遅延限界時間と最大遅延限界時間とを求めするためには、LSI内において信号を出力するフリップフロップから信号を入力するフリップフロップに至るまでのすべてのパスについて信号転送遅延時間を調べなければならないが、論理が複雑になりLSIの規模が増大すると、信号を出力するフリップフロップとその信号を入力するフリップフロップの接続が通常多数対多数となるので、上記すべてのパスについて信号転送遅延時間を調べるためには膨大な労力と時間がかかる。さらに、LSIの実装面積が増大すると信号線の配線による遅延の影響が大きくなるので、LSI実装後でないと正確な信号転送遅延時間を算出できなくなり、実装→信号転送遅延時間算出→チェック→論理変更→実装を何回も繰り返さねばならないという問題も生じる。

10

20

30

40

50

3

【0004】本発明の目的は、1相のクロックを使用したLSI設計において、信号転送遅延時間のうち最小遅延限界時間を考慮することなく設計が可能なフリップフロップ間信号転送技術、および最大遅延限界時間を決定するフリップフロップ間の転送サイクル数を簡単に変更することが可能なフリップフロップ間信号転送技術を提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成するため、本発明のフリップフロップ間信号転送装置は、第1のフリップフロップから第2のフリップフロップへ信号を転送する時、該第1のフリップフロップと第2のフリップフロップの内部状態を同相のクロックに同期して変化させるフリップフロップ間信号転送装置であって、前記クロックに同期した1マシンサイクル時間のパルス信号を第3のフリップフロップの出力として生成する手段と、該パルス信号を複数の整数倍したマシンサイクル時間遅延させることにより得る複数のパルス信号を、前記第1または第2のフリップフロップと第3のフリップフロップとのクロックスキュー時間の大きい方の値と前記第1または第2のフリップフロップのデータホールド時間の大きい方の値とを加えた時間よりも大きく、かつ前記クロックスキュー時間の大きい方の値と第1または第2のフリップフロップのデータセットアップ時間の大きい方の値とを加えた時間を1マシンサイクル時間から差し引いた時間よりも小さく遅延させる手段と、該遅延させた複数のパルス信号の中の第1のパルス信号がオンした時に前記第1のフリップフロップの内部状態を変化させ、オフした時には変化させないようにし、該第1のパルス信号に対して複数マシンサイクル時間位相が遅れてオン状態となる第2のパルス信号がオンした時に、第2のフリップフロップの内部状態を変化させ、オフした時には変化させないようにすることにより、第1のフリップフロップから第2のフリップフロップへの信号転送を、該第1のクロックと第2のクロックとの位相差分のマシンサイクル時間で行うことを可能とする手段とを備え、第3のフリップフロップをLSIチップの中の固定した実装位置に配置することで、第3のフリップフロップと第1、第2のフリップフロップとのクロックスキュー時間の最大値および前記パルス信号に必要な信号遅延時間をLSI設計前に予測し、該信号遅延時間をLSI設計時に保証するものである。

【0006】

【作用】上記手段によれば、第1のフリップフロップから第2のフリップフロップへ信号を転送するとき、第2のフリップフロップにおいてその信号を入力するタイミングを第3のフリップフロップから出力されるパルス信号により決定することが可能であることから、前記パルス信号を遅延させることにより、第1のフリップフロップから第2のフリップフロップへの信号転送サイクルを

4

可変にすることを可能とする。

【0007】さらに、信号転送を行うフリップフロップ間の最小遅延時間を得る過程において、信号を出力する側のフリップフロップを考慮する必要がなく、第3のフリップフロップから出力されるパルス信号を遅延させる時間を決定するために第3のフリップフロップと第2のフリップフロップ間の最小遅延時間を調べるだけで良いので、短時間かつ容易に必要な最小遅延時間を得ることを可能とする。

【0008】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0009】図1は本発明の実施例の構成を示すブロック図である。図1において、フリップフロップA1aとフリップフロップB1bはデータ信号線11で接続されており、データはフリップフロップA1aからフリップフロップB1bへ転送される。フリップフロップA1aおよびフリップフロップB1bに供給されるクロック9はクロック生成回路5で生成される1相のクロックである。クロック生成回路5で生成されたクロック9をもとにクロック同期パルス信号生成回路6においてクロック同期パルス信号8が生成される。この生成されたクロック同期パルス信号8をパルス信号遅延回路7において遅延させ、遅延パルス信号A10aと遅延パルス信号B10bを生成する。

【0010】フリップフロップA1aから出力された信号は、遅延パルス信号B10bが生成されオン状態となるとANDゲートD3dおよびORゲートB2bを経てフリップフロップB1bの入力信号となる。いったんフリップフロップB1bに入力された信号は、次に遅延パルス信号B10bが生成されオン状態となるまでは、ANDゲートC3cおよびORゲートB2bを経て再びフリップフロップB1bの入力信号となる。

【0011】このように、フリップフロップの信号入力側に入力信号を制御する回路を備えることにより、任意のタイミングでフリップフロップ内に入力信号を取り込むことができる。

【0012】(第一の実施例)次に、図2に示すタイミングチャートを用いてフリップフロップA1aからフリップフロップB1bへのデータ信号転送タイミングを説明する。

【0013】クロック生成回路5で生成されたクロック9をトリガとして、クロック同期パルス信号生成回路6においてクロック同期パルス信号8を生成する。そのクロック同期パルス信号8をパルス信号遅延回路7において遅延させ、遅延パルス信号A10aを生成する。同様にクロック同期パルス信号8をパルス信号遅延回路7において遅延させ、遅延パルス信号B10bを生成する。フリップフロップA1aの出力12aが図2に示すような2クロックサイクルであるとする、フリップフロップ

5

アB1bは、遅延パルス信号B10bとフリップフロップA1aの出力12aとクロック9の立上りエッジが重なったAポイントでフリップフロップA1aの出力12aを取り込む。

【0014】このように本実施例では、1相のクロックを使った信号転送にもかかわらず、フリップフロップB1bにおいてフリップフロップA1aの出力12aをBポイントで取り込むことはない。

【0015】(第二の実施例)図3は本発明の他の実施例を示す図である。

【0016】本実施例ではフリップフロップA40aからフリップフロップB40b、C40c、D40dの順に信号を転送する信号伝送路において、3つの遅延パルス信号を使用した場合の信号の転送状況を説明する。論理(小)60aは論理規模が小さく信号遅延時間が最大遅延時間より小さいものとする。また論理(大)60b、60cは論理規模が大きく信号遅延時間が最大遅延時間より大きいものとする。最初の実施例と同様に1相のクロック9に同期したパルス信号8を1マシンサイクルづつ位相をずらした後、遅延させた信号を遅延パルス信号A20a、B20b、C20cとする。フリップフロップA40aとフリップフロップC40cの入力信号制御回路50aと50cには遅延パルス信号A20aを、フリップフロップB40bの入力信号制御回路50bには遅延パルス信号B20bを、フリップフロップD40dの入力信号制御回路50dには遅延パルス信号C20cを供給する。この時、フリップフロップA40aの出力41aは、クロック9と遅延パルス信号A20aが重なったAポイントで出力される。この出力41aは、論理(小)60aを経て次のフリップフロップB40bにおいてクロック9と遅延パルス信号B20bとフリップフロップA40aの出力41aとが重なったBポイントで取り込まれる。論理(小)60aは信号遅延時間が最大遅延時間より小さいので1マシンサイクル転送となっている。次にフリップフロップB40bの出力41bは、論理(大)60bを経て次のフリップフロップC40cにおいてクロック9と遅延パルス信号A20aとフリップフロップB40bの出力41bとが重なった

6

Cポイントで取り込まれる。ここで、論理(大)60bは信号遅延時間が最大遅延時間より大きいので、フリップフロップB40bからフリップフロップC40cへの転送は2クロックサイクル信号転送となる。同様に、フリップフロップC40cの出力41cは、論理(大)60cを経てフリップフロップD40dにおいてクロック9と遅延パルス信号C20cとフリップフロップC40cの出力41cとが重なったDポイントで取り込まれる。このように、遅延パルス信号を複数生成し、各フリップフロップの入力制御回路に選択的に供給することにより、フリップフロップ間の信号転送サイクルを可変にすることが可能となる。

【0017】

【発明の効果】以上説明したように、本発明によれば1相のクロックを使用しているフリップフロップ間信号転送において、信号転送サイクルを可変にすることにより多相クロックを使用した信号転送と同じ効果を得られる。しかも、多相クロックを使用する際に生じる各クロック相のクロックスキューの問題やクロック生成回路の複雑さの問題等は発生しない。

【図面の簡単な説明】

【図1】本発明の実施例の構成を示すブロック図である。

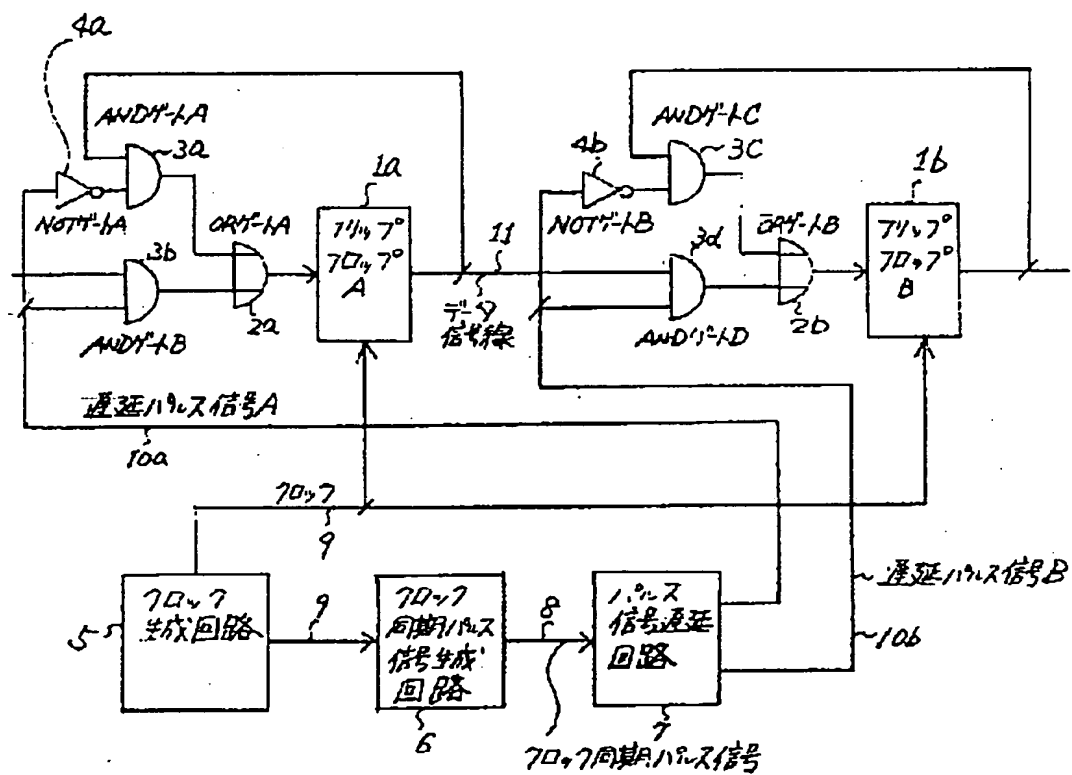
【図2】本発明の第一の実施例を示すタイミングチャートである。

【図3】本発明の第二の実施例におけるタイミングチャートと信号伝送路を説明する図である。

【符号の説明】

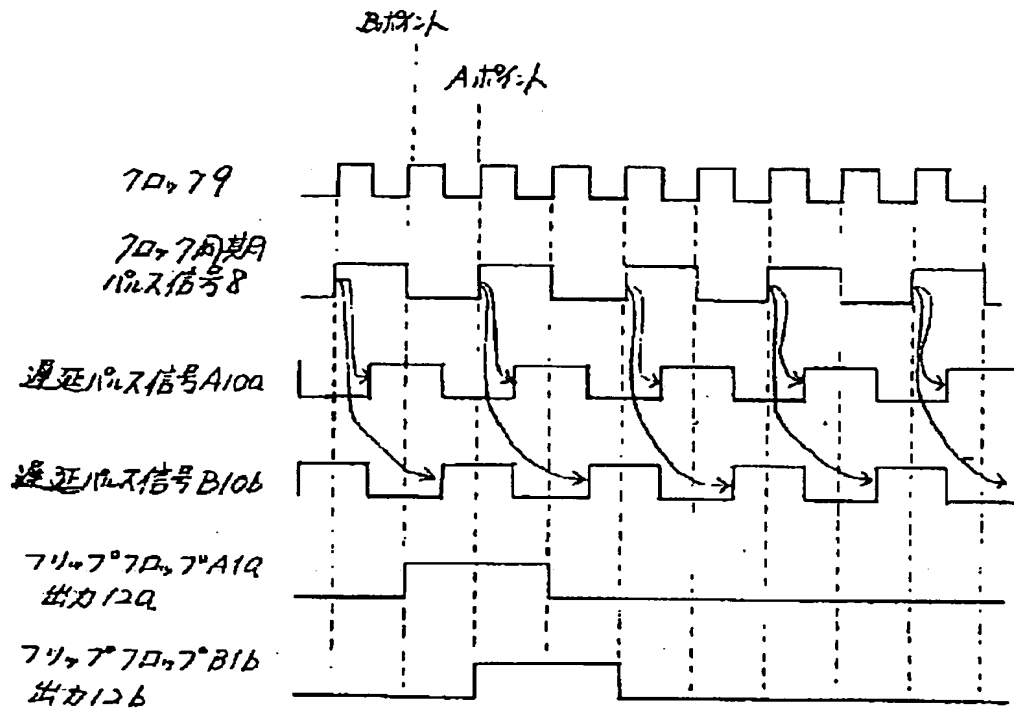
1a…フリップフロップA、1b…フリップフロップB、2a、2b…ORゲート、3a～3d…ANDゲート、4a、4b…NOTゲート、5…クロック生成回路、6…クロック同期パルス信号生成回路、7…パルス信号遅延回路、8…クロック同期パルス信号、9…クロック、10a…遅延パルス信号A、10b…遅延パルス信号B、11…データ信号線、40a～40d…フリップフロップ、50a～50d…入力信号制御回路、60a…論理(小)、60b、60c…論理(大)

图 1

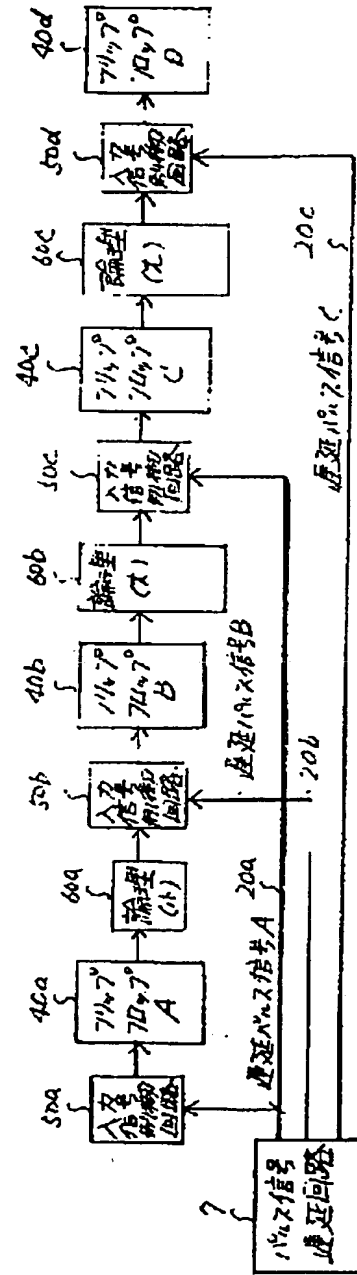
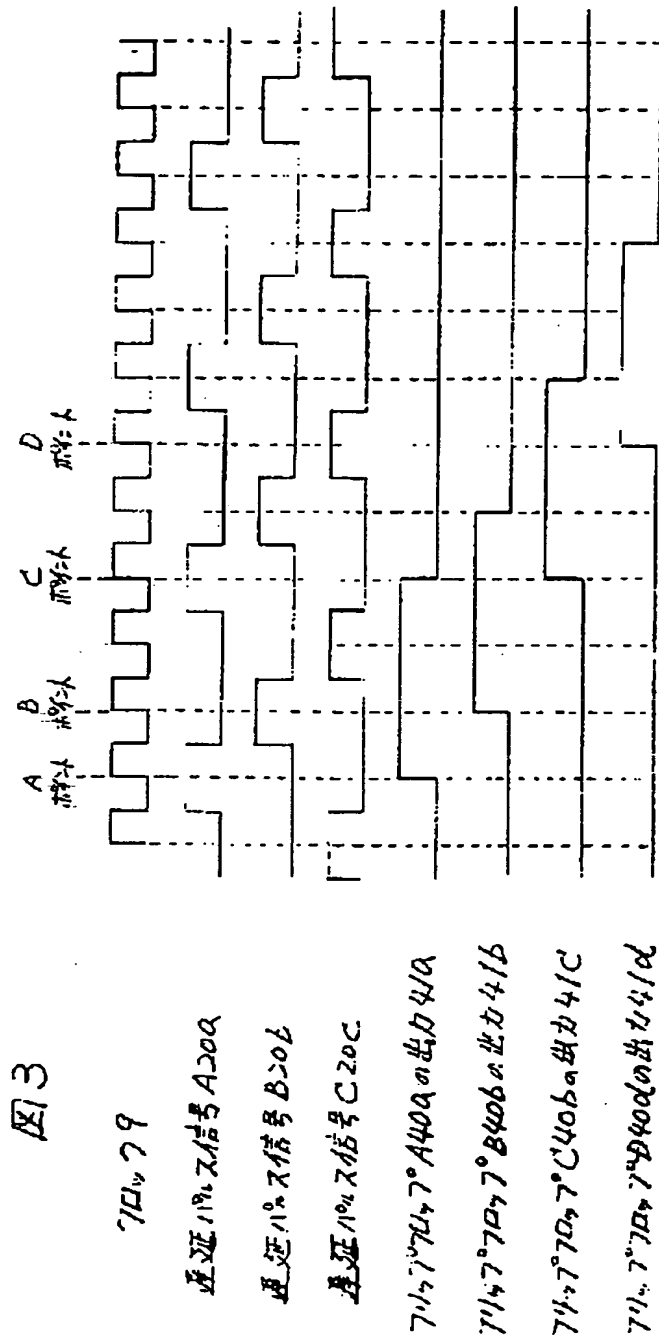


【図2】

図 2



【図3】



THIS PAGE BLANK (USPTO)

BEST AVAILABLE COPY